

METHOD FOR MANUFACTURING III-V COMPOUND SEMICONDUCTOR

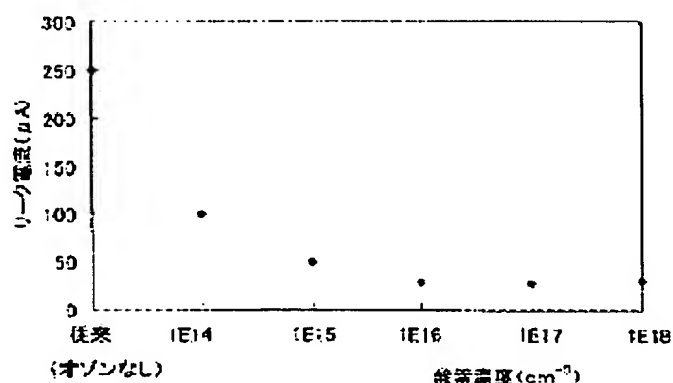
Patent number: JP2002025922
Publication date: 2002-01-25
Inventor: HIGASHIYA MASAHARU; NAGAI HISATAKA
Applicant: HITACHI CABLE LTD
Classification:
- international: H01L21/205; C23C16/30; H01L29/201; H01L29/205;
H01L21/331; H01L29/73; H01L29/778; H01L21/338;
H01L29/812
- european:
Application number: JP20000211964 20000707
Priority number(s):

Report a data error here

Abstract of JP2002025922

PROBLEM TO BE SOLVED: To provide a method for manufacturing a III-V compound semiconductor which dopes oxygen into a buffer layer to reduce leakage current in pinch-off.

SOLUTION: In the method for manufacturing a III-V compound semiconductor whereby a dopant material, a group III material, a group V material, and dilution gas are supplied onto a heated substrate to grow the buffer layer, oxygen is doped on the buffer layer.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25922

(P2002-25922A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl. ⁷	識別記号	F I	テ-コ-ト [*] (参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 G 0 7 7
C 2 3 C 16/30		C 2 3 C 16/30	4 K 0 3 0
H 0 1 L 29/201		H 0 1 L 29/205	5 F 0 0 3
29/205		C 3 0 B 29/40	5 0 2 H 5 F 0 4 5
21/331		H 0 1 L 29/203	5 F 1 0 2

審査請求 未請求 請求項の数 6 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願2000-211964 (P2000-211964)

(22) 出願日 平成12年7月7日 (2000.7.7)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 東谷 雅春

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(72) 発明者 永井 久隆

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(74) 代理人 100116171

弁理士 川澄 茂

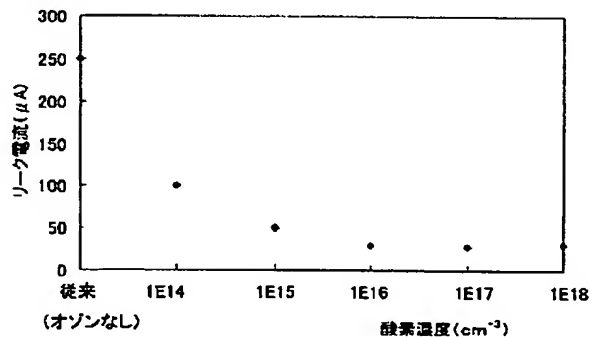
最終頁に続く

(54) 【発明の名称】 III-V族化合物半導体の製造方法

(57) 【要約】

【課題】 バッファ層に酸素をドーピングしてピンチオフ時のリーク電流を低減するIII-V族化合物半導体の製造方法を提供すること。

【解決手段】 加熱した基板の上にドーパント原料とIII族原料とV族原料と希釈用ガスとを供給してバッファ層を成長するIII-V族化合物半導体の製造方法において、前記バッファ層に酸素をドーピングしたこと。



(オゾンなし)

【特許請求の範囲】

【請求項1】加熱した基板上にドーパント原料とIII族原料とV族原料と希釈用ガスを供給してバッファ層を成長するIII-V族化合物半導体の製造方法において、前記バッファ層に酸素をドーピングすることを特徴とするIII-V族化合物半導体の製造方法。

【請求項2】酸素はオゾンガスを供給してドーピングすることを特徴とする請求項1記載のIII-V族化合物半導体の製造方法。

【請求項3】V族原料としてAsH₃、As(CH₃)₃、TBA、PH₃、TBPの内何れか一つを用いることを特徴とする請求項1記載のIII-V族化合物半導体の製造方法。

【請求項4】III族原料としてAl(CH₃)₃、Ga(CH₃)₃、In(CH₃)₃、Al(CH₃CH₂)₃、Ga(CH₃CH₂)₃、In(CH₃CH₂)₃の内何れか一つ或いは二つを用いることを特徴とする請求項1記載のIII-V族化合物半導体の製造方法。

【請求項5】希釈用ガスとしてH₂、N₂、Arの内何れか一つを用いることを特徴とする請求項1記載のIII-V族化合物半導体の製造方法。

【請求項6】バッファ層はGaAs、AlGaAs、InGaAs、InGaP、AlGaP、InGaAlPの内何れか二つ或いはそれ以上で構成することを特徴とする請求項1記載のIII-V族化合物半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体、特にIII-V族化合物半導体の製造方法に関するものである*

＊る。

【0002】

【従来の技術】GaAs（ガリウム砒素）やInGaAs（インジウムガリウム砒素）などのIII-V族化合物半導体は、Si（シリコン）半導体に比べて電子移動度が高いという特徴がある。この特徴を活かして、GaAsやInGaAsは高速動作や高効率動作が要求されるデバイスに多く用いられている。代表例として、FET（Field Effect Transistor）が挙げられる。FETは携帯電話などのマイクロ波通信の増幅器に幅広く使用され、その需要はさらに伸び続けている。

【0003】図3は、従来のIII-V族化合物半導体の製造方法に関わり、FETの構造図である。11はコンタクト層、12はチャネル層、13はバッファ層、14基板である。半絶縁性の基板14上に高抵抗で単層以上のバッファ層13を結晶成長する。バッファ層13は、基板14上の残留不純物によるデバイス特性劣化を抑える働きがある。このバッファ層13の上にチャネル層12を結晶成長する。チャネル層12は、n型不純物がドーピングされており自由電子を発生させ、発生した自由電子はこのチャネル層12を流れる。そして、チャネル層12の上にソース電極やドレイン電極とオーミック接合するコンタクト層11を結晶成長する。なお、これらの結晶成長のことをエピタキシャル成長、結晶成長した各層をエピタキシャル層と呼ぶ。従って、図3に示したFETは詳しく言えば、FET用エピタキシャルウエハと呼ぶことが出来る。

【0004】表1はFET用エピタキシャルウエハの構成例である。

【0005】

【表1】

エピタキシャル層名称	厚さ	キャリア濃度
n+GaAs（コンタクト層）	100nm	$3 \times 10^{18} \text{ cm}^{-3}$
n-GaAs（チャネル層）	250nm	$2 \times 10^{17} \text{ cm}^{-3}$
i-Al _{0.28} GaAs	100nm	$1 \times 10^{16} \text{ cm}^{-3}$ 以下
i-GaAs	100nm	$1 \times 10^{16} \text{ cm}^{-3}$ 以下
i-Al _{0.28} GaAs	100nm	$1 \times 10^{16} \text{ cm}^{-3}$ 以下
i-GaAs	100nm	$1 \times 10^{16} \text{ cm}^{-3}$ 以下
GaAs基板	—	—

【0006】エピタキシャル層名称の欄にあるn-、i-はエピタキシャル層がそれぞれn型、半絶縁性であることを示している。厚さの単位はnm（ナノメートル、 10^{-9} m ）、キャリア濃度の単位は cm^{-3} である。

【0007】GaAs（ガリウム砒素）基板の上にバッファ層として、i-GaAs層を100nm、i-Al_{0.28}GaAs層を100nm、i-GaAs層を100nm、i-Al_{0.28}GaAs層を100nm成長した。すなわち、バッファ層はGaAsの2層とAlGaAsの2層の合計4層構造に成っている。

【0008】そして、バッファ層の上にチャネル層とし

てn-GaAs層を250nm成長し、その上にコンタクト層としてn+GaAs層を100nm成長した。

【0009】表1で示したFET用エピタキシャルウエハの成長方法を以下に述べる。

【0010】エピタキシャル層を成長させる基板をサセブタと呼ばれる基板保持具にセットし、成長炉内で過熱する。成長炉内に原料ガスを供給すると、原料ガスが熱により分解し、基板上にエピタキシャル層が成長される。原料として、i-GaAs層を成長する場合には、Ga原料のGa(CH₃)₃（トリメチルガリウム）とAs原料のAsH₃（アルシン）を基板に供給する。な

お、Ga原料として他にGa(CH₃CH₂)、(トリエチルガリウム)がある。As原料として他にAs(CH₃)、(トリメチル砒素)、TBA(ターシャリブチルアルシン)がある。

【0011】i-Al_{0.2}GaAs層を成長する場合には、Ga(CH₃)、AsH₃、及びAl原料のAl(CH₃)、(トリメチルアルミニウム)を基板に供給する。なお、Al原料として他にAl(CH₃CH₂)、(トリエチルアルミニウム)がある。また、Al_{0.2}GaAsとは、Al_{0.2}Ga_{0.8}Asを略したものであり、AlとGaの比が0.28:0.72であることを意味する。

【0012】n-GaAs層を成長する場合には、Ga(CH₃)、AsH₃、及びn型ドーパントを基板に供給する。n型ドーパントの元素としてはSiやSe(セレン)がある。Si原料としてはSiH₄(モノシラン)、Si₂H₆(ジシラン)がある。Se原料としてはH₂Se(セレン化水素)がある。

【0013】

【発明が解決しようとする課題】従来のIII-V族化合物半導体の製造方法には以下に示す問題点があった。

【0014】FETデバイスの特性として、ゲート電極16からある電圧を印加するとチャネル層12に空乏層が生じ、ソース電極15とドレイン電極17間の電流が遮断される。この現象をピンチオフ効果(或いは、単にピンチオフ)と言う。しかしながら、バッファ層13は基板14との界面にある不純物特に、n型不純物の拡散の影響を受けているため、ピンチオフにした時にもバッファ層13を介して電流がリークするという問題があった。

【0015】図2は、リーク電流発生の説明図である。15はソース電極、16はゲート電極、17はドレイン電極である。上述した事柄を模式的に示した。つまり、界面にあるn型不純物が活性化してバッファ層13を自由電子が流れるようになり、この自由電子の流れがリーク電流となる。リーク電流が生じるとFETデバイスの特性が低下する。

【0016】リーク電流を低減するためには、バッファ層13に酸素をドーピングしてn型不純物の活性化を阻止することが有効であるが、従来技術ではバッファ層13に酸素をドーピングする方法が無かった。

【0017】従って本発明の目的は、前記した従来技術の欠点を解消し、バッファ層に酸素をドーピングしてピンチオフ時のリーク電流を低減するIII-V族化合物半導体の製造方法を提供することにある。

【0018】

【課題を解決するための手段】本発明は上記の目的を実現するため、加熱した基板上にドーパント原料とIII族原料とV族原料と希釈用ガスを供給してバッファ層を成長するIII-V族化合物半導体の製造方法において、

前記バッファ層に酸素をドーピングした。

【0019】酸素はオゾンガスを供給してドーピングした。

【0020】V族原料としては、AsH₃、As(CH₃)、TBA、PH₃、TBPの内何れか一つを用いた。

【0021】III族原料としては、Al(CH₃)、Ga(CH₃)、In(CH₃)、Al(CH₃CH₂)、Ga(CH₃CH₂)、In(CH₃CH₂)、の内何れか一つ或いは二つを用いた。

【0022】希釈用ガスとしては、H₂、N₂、Arの内何れか一つを用いた。

【0023】バッファ層は、GaAs、AlGaAs、InGaAs、InGaP、AlGaP、InGaAlPの内何れか二つ或いはそれ以上で構成した。

【0024】

【発明の実施の形態】発明の実施の形態を以下、図面に基つて詳述する。

【0025】表1で示したFET用エビタキシャルウエハを本発明のIII-V族化合物半導体の成長方法にて製作した。エビタキシャル層を成長させる基板をサセブタと呼ばれる基板保持具にセットして、成長炉内で700℃に過熱した。成長炉内圧力は70Torr、希釈用ガスとして水素を用いた。基板にはGaAsを用いた。

【0026】i-GaAs層の成長には、Ga原料のGa(CH₃)、(トリメチルガリウム)とAs原料のAsH₃(アルシン)に加えてO₃(オゾン)を使用した。Ga(CH₃)の流量は12.64cm³/分、AsH₃の流量は255cm³/分である。O₃はバッファ層中の酸素濃度が1×10¹⁶~10¹⁸の範囲となるように供給した。

【0027】i-Al_{0.2}GaAs層の成長には、Ga(CH₃)、AsH₃、及びAl原料のAl(CH₃)、(トリメチルアルミニウム)に加えて、O₃を使用した。Ga(CH₃)の流量は5.23cm³/分、AsH₃の流量は554cm³/分、Al(CH₃)の流量は0.81cm³/分である。O₃はi-GaAs層の成長と同様にバッファ層中の酸素濃度が1×10¹⁶~10¹⁸の範囲となるように供給した。

【0028】n-GaAs層の成長には、i-GaAs層の成長に使用したGa(CH₃)、AsH₃に加えてSi₂H₆を用いた。Si₂H₆の流量は1.16×10⁻³cm³/分である。Si₂H₆以外はi-GaAs層の成長の場合と同じである。

【0029】n+GaAs層の成長には、i-GaAs層の成長に使用したGa(CH₃)、Al(CH₃)、AsH₃に加えてSi₂H₆を使用した。Si₂H₆の流量は6.73×10⁻³cm³/分である。Si₂H₆以外の流量はi-GaAs層の成長の場合と同じである。

【0030】図1は、上記の条件で成長したFETのバッファ層内の酸素濃度とリーク電流の関係を示した特性図である。横軸はバッファ層内の酸素濃度 (cm^{-3})、縦軸はリーク電流 (μA) である。酸素濃度がゼロ (オゾンなし) とは、従来の製造方法により製造したFETについて示す。酸素濃度が $1 \times 10^{15} \sim 10^{18}$ (cm^{-3}) の時に、リーク電流の低減量が最大となることが分かる。

【0031】図2は、本発明のIII-V族化合物半導体の製造方法の一実施例に関わり、リーク電流の説明図である。従来技術及び本発明により得られたFETのリーク電流を比較している。従来技術によるFETはピンチオフ時のリーク電流は $250 \mu\text{A}$ であったが、本発明によるFETは $30 \mu\text{A}$ と、約88%の低減を達成した。リーク電流の低減により、このFETを用いた機器の消費電力を少なくすることが可能になる。さらに、V族原料ガスであるAsH₃の使用量も低減することが期待できる。

【0032】なお、本発明はFETのバッファ層に酸素をドーピングしてリーク電流を低減することについて述べたが、HEMT (High Electron Mobility Transistor)、HBT (Heterojunction Bipolar Transistor) のバッファ層に酸素をドーピングすることによってもリーク電流を低減することが出来る。また、実施例の範囲に限らず、請求項3～6に列挙した何れのIII族原料、V族原料、希釈用ガス、バッファ層を用いた場合においても同様にリーク電流を低減することが出来る。 *

*【0033】

【発明の効果】本発明のIII-V族化合物半導体の製造方法によれば、加熱した基板の上にドーパント原料とIII族原料とV族原料と希釈用ガスを供給してバッファ層を成長するIII-V族化合物半導体の製造方法において、前記バッファ層に酸素をドーピングしたので、FETのピンチオフ時のリーク電流を大幅に低減することが出来る。

【図面の簡単な説明】

10 【図1】本発明のIII-V族化合物半導体の製造方法の一実施例に関わり、酸素濃度とリーク電流の関係を示した特性図である。

【図2】本発明のIII-V族化合物半導体の製造方法の一実施例に関わり、リーク電流の説明図である。

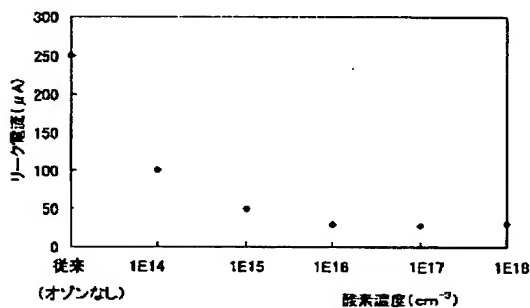
【図3】従来のIII-V族化合物半導体の製造方法に関わり、FETの構造図である。

【図4】従来のIII-V族化合物半導体の製造方法に関わり、リーク電流発生の説明図である。

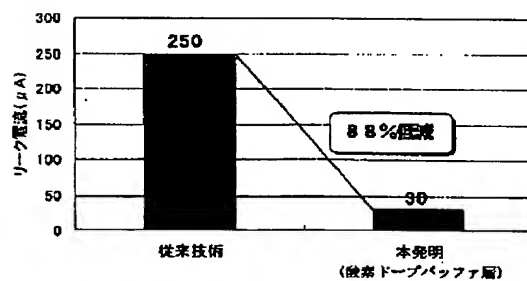
【符号の説明】

- 11 コンタクト層
- 12 チャネル層
- 13 バッファ層
- 14 基板
- 15 ソース電極
- 16 ゲート電極
- 17 ドレイン電極

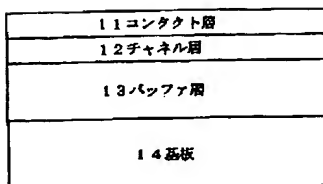
【図1】



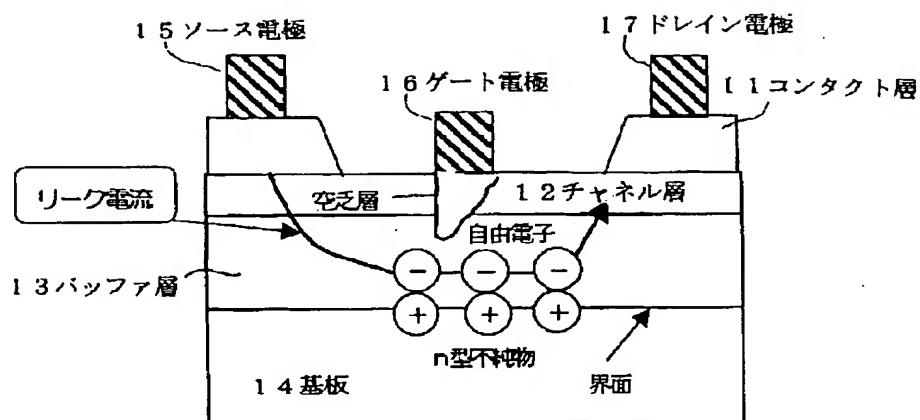
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 29/73

H 0 1 L 29/72

29/778

29/80

21/338

29/812

H

// C 3 0 B 29/40

5 0 2

F ターム (参考) 4G077 AA03 BE46 BE47 DB08 EB01

EF03 HA06

4K030 AA05 AA11 AA17 AA18 BA02

BA08 BA25 CA04 FA10 LA14

5F003 AP04 BF06 BM02 BP05 BP08

BP31

5F045 AB10 AB17 AB18 AC01 AC08

AC11 AC15 AC16 AD11 AE23

AF04 BB16 CA02 CA07 DA53

5F102 FA00 GB01 GC01 GD01 GJ05

GK04 GK05 GK06 GK08 GL05

GN05 GQ01 HC00 HC01 HC05